

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220370

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

H03K 17/22

(21)Application number : 10-017409 (71)Applicant : OKI MICRO DESIGN

MIYAZAKI CO LTD

OKI ELECTRIC IND CO

LTD

(22)Date of filing : 29.01.1998 (72)Inventor : NAGAYA MASAFUMI

(54) RESET CIRCUIT AND ELECTRONIC DEVICE INCORPORATING IT



(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a circuit ensuring reset even at a voltage not lower than the lowest operation voltage of the circuit of a resetting object by controlling an electrically conducting state of a power source voltage source and a control node depending on the potential level of the control node and controlling an electrically conducting state of an output node and a reference voltage source depending on the potential level of the control node.

SOLUTION: A power source voltage VDD starts the boosting of a voltage value based on the time constant of a power source. When the voltage VDD is $VDD < V_{TP}$, just after supplying power, a transistor 10 is in an off state. Thus, as is in the state of being grounded through a resistance element 30, a node 20 is left to be set to a ground voltage Vss. Therefore, a transistor 50 operation-controlled by the voltage value of the node 20 also comes into an off state. Consequently, the voltage value of an output node 60 boosts with the voltage VDD through an resistance element 40. When the voltage VDD becomes $VDD \geq V_{TP}$, the transistor 10 comes into an on state.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's
decision of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the reset circuit which detects change on the 2nd potential level and outputs a reset signal from an output node the supply voltage which is supplied from the source of supply voltage and has the 1st potential level or the 2nd potential level -- this -- from the 1st potential level -- this -- The 1st MOS transistor of the 1st conductivity type which is connected between said sources of supply voltage and control nodes, and controls the electric switch-on of this source of supply voltage, and this control node by potential level of this control node, The 1st resistance means connected between said control nodes and sources of reference voltage, The reset circuit characterized by having the 2nd MOS transistor of the 2nd conductivity type which is connected between said output nodes and said sources of reference voltage, and controls the electric switch-on of this output node and this source of reference voltage by potential level of said control node.

[Claim 2] It is the reset circuit characterized by having 2nd resistance means by which this reset circuit is connected between said sources of supply voltage and said output nodes in a reset circuit according to claim 1.

[Claim 3] It is the reset circuit characterized by being the 3rd MOS transistor of the 1st conductivity type to which said 2nd resistance means controls the electric switch-on of said source of supply voltage and said output node by the voltage level of said control node in a reset circuit according to claim 2.

[Claim 4] It is the reset circuit which parallel connection of this reset circuit is carried out to said 1st MOS transistor between said sources of supply voltage and said control nodes in a reset circuit according to claim 3, and is characterized by having the 4th MOS transistor of the 1st conductivity type which controls the electric switch-on of said source of supply voltage and said control node by potential level of said output node.

[Claim 5] It is the electronic instrument which said reset circuit is built in an electronic instrument in the electronic instrument which has claim 1 thru/or the reset circuit of any one publication of four, and is characterized by supplying the electrical potential difference of said source of supply voltage from a dismountable dc-battery means from this electronic instrument.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electronic circuitry which was built in the electronic instrument and built in the reset circuit and this which generate the reset signal to the internal circuitry in an electronic instrument at the

time of the charge of a power source.

[0002]

[Description of the Prior Art] The circuit which consists of a semiconductor device in the case is built in pocket devices, such as an electronic instrument, for example, a desk device like a personal computer, and a cellular phone. As for these electronic instruments, the charge/cutoff of a power source are performed frequently. It is necessary to return the semiconductor device built in the electronic instrument at the power up to an initial state so that an electronic instrument may not carry out unexpected actuation after this powering on. For this reason, the reset circuit is prepared in the building-in inside of electronic instrument, or this electronic instrument semiconductor device.

[0003] This reset circuit supervises change of the supply voltage by the charge of a power source, and when change of the supply voltage it is considered that is the charge of a power source is detected, it generates a reset signal temporarily. The semiconductor device built in the electronic instrument receives this reset signal, and makes the semiconductor device itself an initial state (it is also hereafter called a reset condition).

[0004] Moreover, in the case of a pocket device, the supply voltage supplied to this body of a pocket device will be supplied from a cell or a charge-type dc-battery. This cell and rechargeable battery have what is built in the body of a pocket device, and what is dismountable from the body of a pocket device. In an electronic instrument like such a pocket device, during an electronic equipment activity, the stored charge in a dc-battery may be lost, or the user of an electronic instrument may remove a dc-battery accidentally, and lowering of supply voltage may arise. Therefore, in such an electronic instrument, especially the reset circuit is effective at the time of the restart of an electronic instrument of operation.

[0005]

[Problem(s) to be Solved by the Invention] A semiconductor device must change the semiconductor device itself into a reset condition certainly by the reset signal of a reset circuit. This reset signal is a signal which has for example, touch-down

potential level or power-source potential level, is temporarily set to power-source potential level at a power up, and makes a semiconductor device a reset condition.

[0006] Here, many circuits (a CMOS circuit is called hereafter) of a CMOS configuration, such as a flip-flop and a latch circuit, exist in the element which constitutes a semiconductor device. The minimum operating voltage for guaranteeing the normal actuation in such a CMOS circuit serves as $|V_{TP}| + V_{TN} = V_{DD}$ extent. For this reason, the period which maintains power-source potential level in a reset signal must be guaranteed to more than the minimum operating voltage to which a CMOS circuit operates normally. However, in the conventional reset circuit, to more than the minimum operating voltage, since a reset signal was not the configuration that the condition of being power-source potential level is maintainable, there was a trouble that a semiconductor device was not certainly resettable.

[0007] Moreover, originally, after a power up or the potential level of a power source falls rapidly, a reset circuit is used, only when returning to power-source potential level again. For this reason, if it takes into consideration further what consists of small element numbers and can expect cost reduction, and that a reset circuit is built in a semiconductor device, although the configuration as a reset circuit can desire the miniaturization of the semiconductor device itself, and improvement in the degree of freedom of the layout of a reset circuit, the direction is desirable [a configuration], in order that a reset signal may realize considering as the configuration which can maintain the condition of being power-source potential level to more than the minimum operating voltage.

[0008] Furthermore, as a component of a reset circuit, it is desirable to be simultaneously made using the same technique (for example, CMOS manufacturing technology) as other circuits in the production process of a semiconductor device.

[0009] This invention aims at implementation of the reset circuit which makes reset certainly possible more than the minimum operating voltage of the circuit of

the object which should be reset in order to solve the above-mentioned technical problem.

[0010] Moreover, this invention aims at reducing complication of the increment in cost, or a configuration for a reset circuit, and realizing the above-mentioned object.

[0011] Moreover, the degree of freedom of the layout of the semiconductor device which contains this reset circuit for the reset circuit of the above-mentioned object is fallen, or this invention aims at controlling enlarging and realizing.

[0012]

[Means for Solving the Problem] In order to attain the above-mentioned object, the reset circuit of this invention In the reset circuit which is supplied from the source of supply voltage, detects the change on the 1st potential level [2nd] from potential level for the supply voltage which has the 1st potential level or the 2nd potential level, and outputs a reset signal from an output node The 1st MOS transistor of the 1st conductivity type which is connected between the source of supply voltage, and a control node, and controls the electric switch-on of the source of supply voltage, and a control node by potential level of a control node, It connects between the 1st resistance means connected between the control node and the source of reference voltage, and an output node and the source of reference voltage, and has the 2nd MOS transistor of the 2nd conductivity type which controls the electric switch-on of an output node and the source of reference voltage by potential level of a control node.

[0013] Moreover, the reset circuit of this invention may have the 2nd resistance means connected between the source of supply voltage, and said output node.

[0014] Moreover, the reset circuit of this invention may be the 3rd MOS transistor of the 1st conductivity type to which the 2nd resistance means controls the electric switch-on of the source of supply voltage, and an output node by the voltage level of a control node.

[0015] Moreover, parallel connection of the reset circuit of this invention is carried

out to the 1st MOS transistor between the source of supply voltage, and a control node, and it may have the 4th MOS transistor of the 1st conductivity type which controls the electric switch-on of the source of supply voltage, and a control node by potential level of an output node.

[0016] Moreover, in the electronic instrument which has the reset circuit of this invention, said reset circuit may be built in an electronic instrument, and the electrical potential difference of said source of supply voltage may be supplied from a dismountable dc-battery means from this electronic instrument.

[0017]

[Embodiment of the Invention] Just, a drawing is used for the reset circuit of this invention, and ** is explained to it in a detail below. Drawing 1 is the circuit diagram of the reset circuit 100 in the gestalt of operation of the 1st of this invention.

[0018] In drawing 1, the reset circuit 100 consists of two transistors 10 and 50 and two resistance elements 30 and 40.

[0019] The transistor 10 as the 1st MOS transistor is a P channel mold MOS transistor, supply voltage VDD is given to a source electrode from the source of supply voltage, and the drain electrode and the gate electrode are connected to the node 20 which is a control node. One terminal is connected to a node 20 and, as for the resistance element 30 which is the 1st resistance means, the touch-down electrical potential difference VSS is given from the source of reference voltage by grounding the other-end child as a source of reference voltage. In addition, threshold voltage of a transistor 10 is set to VTP.

[0020] The transistor 50 as the 2nd MOS transistor is an N channel mold MOS transistor, a drain electrode is connected to the output node 60, a gate electrode is connected to a node 20, and the source electrode is grounded. As for the resistance element 40 which is the 2nd resistance means, supply voltage VDD is given to one terminal, and the other-end child is connected to the output node 60. The electrical-potential-difference value change produced in this output node is used as a reset signal of a reset circuit. In addition, threshold voltage of a

transistor 50 is set to V_{TN} .

[0021] In addition, the supply voltage V_{DD} in a reset circuit 100 is what is supplied from the outside of an electronic instrument as a source of supply voltage, or is what is supplied from dc-batteries, such as a cell built in the electronic instrument, or the supply source has various things. Especially as a dc-battery, it may be the thing of a charge type, and may be dismountable from an electronic instrument.

[0022] Moreover, even if it constitutes a resistance element 30 how, the resistance of a resistance element 30 is set up so that it may be made sufficiently high compared with the on resistance to a transistor 10.

[0023] Thus, actuation of the constituted reset circuit 100 is explained below using a drawing. Drawing 2 is a wave form chart explaining the actuation in a reset circuit 100. In drawing 2, an axis of ordinate shows an electrical potential difference, an axis of abscissa shows time amount, a continuous line shows the electrical-potential-difference value of the output node 60 to which a reset signal is outputted, and the dotted line shows the electrical-potential-difference value of supply voltage V_{DD} . In addition, in the following explanation, it explains as $|V_{TP}| > V_{TN}$. Moreover, each electrical-potential-difference value [each of] of an OFF state (between source and drain is non-switch-on electrically), supply voltage V_{DD} , a node 20, and the output node 60 of transistors 10 and 50 shall be reference voltage V_{SS} before powering on.

[0024] In drawing 2, lifting of an electrical-potential-difference value is started by switching on a power source at time of day t_1 based on the time constant in which a power source has supply voltage V_{DD} . A transistor 10 is an OFF state when supply voltage V_{DD} is $V_{DD} < |V_{TP}|$ just behind powering on. For this reason, a node 20 is set as the touch-down electrical potential difference V_{SS} for the condition of having been grounded through the resistance element 30. Therefore, the transistor 50 in which motion control is carried out by the electrical-potential-difference value of a node 20 will also be in an OFF state. Therefore, the electrical-potential-difference value of the output node 60 rises in connection with

supply voltage VDD through a resistance element 40.

[0025] Then, if supply voltage VDD becomes $VDD \geq |VTP|$, a transistor 10 will be in an ON state (between source and drain is switch-on electrically). For this reason, the electrical-potential-difference value of a node 20 becomes $VDD - |VTP|$. Since the resistance of a resistance element 30 is made sufficiently high, because the electrical-potential-difference value of a node 20 is maintained, it can increase to lifting of supply voltage with the electrical-potential-difference value of a node 20. Although the electrical-potential-difference value of this node 20 is also given to the gate electrode of a transistor 50, a transistor 50 will maintain an OFF state between $VDD - |VTP| \leq VTN(s)$. Therefore, the output node 60 continues lifting of the electrical-potential-difference value accompanying supply voltage VDD.

[0026] If set to $VDD > |VTP| + VTN$, since the electrical-potential-difference value of a node 20 will serve as $VDD - |VTP| > VTN$, a transistor 50 will be in an ON state. For this reason, the output node 60 will be grounded through a transistor 50. Therefore, an output node serves as reference voltage VSS. In drawing 2, time of day t_2 shows the timing just behind $VDD > |VTP| + VTN$.

[0027] Then, since the transistors 10 and 50 of a reset circuit 100 maintain an ON state, he is trying to maintain the output node 60 at reference voltage VSS, although supply voltage VDD rises to a predetermined electrical-potential-difference value.

[0028] In addition, if it is set to $VDD \leq |VTP| + VTN$ since a reset circuit 100 serves as actuation of reverse with the above when supply voltage VDD falls, the output node 60 will become supply voltage VDD from reference voltage VSS. In drawing 2, time of day t_3 is the timing just behind $VDD < |VTP| + VTN$.

[0029] Thus, when resetting the semiconductor device built in the electronic instrument according to the condition of the supply voltage VDD of the output node 60 outputted as a reset signal as a control node which controls actuation of a transistor 50 in the node 20, the CMOS circuit has guaranteed the period which maintains power-source potential level in a reset signal to the minimum operating

voltage which operates normally. Therefore, it is certainly resettable even if a CMOS circuit is in the semiconductor device which receives a reset signal.

[0030] Moreover, since the reset circuit 100 consists of few components, it can desire cost reduction, the miniaturization of the semiconductor device itself, and improvement in the degree of freedom of the layout of a reset circuit.

[0031] In addition, above, although explained as $|VTP| \geq VTN$, as for the case of $|VTP| < VTN$, actuation differs somewhat the following point.

[0032] That is, in $VDD < VTP$, it is the same as that of above-mentioned explanation. Then, in $|VTP| \leq VDD < VTN$ and $VTN \leq VDD \leq |VTP| + VTN$, a transistor 10 will be in an ON state and the electrical-potential-difference value of a node 20 rises. However, since the electrical-potential-difference value of a node 20 is $VDD - |VTP|$ ($< VTN$), a transistor 50 maintains an OFF state. Therefore, the electrical-potential-difference value of the output node 60 serves as supply voltage VDD. Then, from $VDD > |VTP| + VTN$, it is the same as that of above-mentioned explanation.

[0033] Moreover, when applying the reset circuit 100 of this invention to the portable electronic instrument and supply voltage VDD falls to a contingency by removing a dismountable dc-battery accidentally or stored charge charged by the dc-battery being lost after acting as powering on for example, the semiconductor device built in the electronic instrument can be reset certainly, and it becomes possible to restore actuation of an electronic instrument at a high speed.

[0034] Next, just, a drawing is used and ** is explained to the reset circuit in the gestalt of operation of the 2nd of this invention below. Drawing 3 is the circuit diagram of the reset circuit 200 in the gestalt of operation of the 2nd of this invention. In addition, about the same component as the reset circuit 100 of the gestalt of operation of the 1st of drawing 1, the same encoder signal is attached into drawing 3.

[0035] In drawing 3, it is the same as that of the reset circuit 100 of drawing 1 about the transistors 10 and 50 of a reset circuit 200, and a resistance element 30. In the reset circuit 200 of drawing 3, P channel mold MOS transistor 240 as

the 3rd MOS transistor is formed instead of the resistance element of the reset circuit 100 of drawing 1 .

[0036] Supply voltage VDD is given to a source electrode, a drain electrode is connected to the output node 60, and the gate electrode is connected to the node 20 for the transistor 240. For this reason, current Miller circuit will be constituted from transistors 10 and 240.

[0037] Thus, actuation of the constituted reset circuit 200 is explained below using a drawing. Drawing 4 is a wave form chart explaining the actuation in a reset circuit 200. In drawing 4 , an axis of ordinate shows an electrical potential difference, an axis of abscissa shows time amount, a continuous line shows the electrical-potential-difference value of the output node 60, and the dotted line shows the electrical-potential-difference value of supply voltage VDD. In addition, in the reset circuit of the 2nd practical gestalt, it has set up as $|VTP| < VTN$.

[0038] In drawing 4 , lifting of an electrical-potential-difference value is started by switching on a power source at time of day t_1 based on the time constant in which a power source has supply voltage VDD. A transistor 10 is an OFF state when supply voltage VDD is $VDD < |VTP|$ just behind powering on. For this reason, a node 20 is set as reference voltage VSS through a resistance element 30. Therefore, a transistor 50 is an OFF state. Moreover, for the reason under the same conditions as a transistor 10, a transistor 240 is an OFF state. Therefore, the electrical-potential-difference value of the output node 60 serves as an indeterminate (high resistance condition).

[0039] Then, at the time of $|VTP| \leq VDD < VTN$, a transistor 10 will be in an ON state. Therefore, the electrical-potential-difference value of a node 20 becomes $VDD - |VTP|$. At this time, a transistor 240 will also be in an ON state. Since the electrical-potential-difference value given to the gate is $VDD - |VTP| (< VTN)$, a transistor 50 is an OFF state. Therefore, the electrical-potential-difference value of the output node 60 serves as VDD (time-of-day $t_2:00$). In addition, current Miller circuit is constituted from transistors 10 and 240, and if the transistor characteristics of a transistor 10 and a transistor 240 are the same, the current of

a transistor 10 and tail current will flow to a transistor 240. Therefore, a transistor 240 can perform the same actuation as the resistance element 40 of a reset circuit 100.

[0040] Then, at the time of $VDD \geq |V_{TP}| + V_{TN}$, the electrical-potential-difference value of a node 20 will become $VDD - |V_{TP}|$ ($\geq V_{TN}$), and a transistor 50 will be in an ON state. For this reason, the output node 60 is grounded through a transistor 50. Therefore, the electrical-potential-difference value of the output node 60 serves as reference voltage VSS. Time of day t_3 is the timing just behind $VDD \geq |V_{TP}| + V_{TN}$.

[0041] In addition, if it is set to $VDD < |V_{TP}| + V_{TN}$ since a reset circuit 200 serves as actuation of reverse with the above when supply voltage VDD falls, the output node 60 will become supply voltage VDD from reference voltage VSS. In drawing 4, time of day t_4 is the timing just behind $VDD < |V_{TP}| + V_{TN}$.

[0042] As mentioned above, the reset circuit 200 in the gestalt of the 2nd operation can acquire the same effectiveness as the gestalt of the 1st operation. Moreover, in a reset circuit 200, since current Miller circuit is constituted from a transistor 10 and a transistor 240, by adjusting the mutual conductance g_m of a transistor 240 to a transistor 10, steady flow ***** can also be made small at a transistor 10 and a transistor 50, and the consumed electric current can be reduced. Furthermore, since the transistor 240 is used instead of comparatively high resistance being the required resistance element 40, there is little circuit area of a reset circuit and it ends.

[0043] Next, the reset circuit in the gestalt of operation of the 3rd of this invention is explained below using a drawing. Drawing 5 is the circuit diagram of the reset time 300 in the gestalt of the 3rd operation. In addition, about the same component as the reset circuit 200 of the gestalt of operation of the 2nd of drawing 2, the same encoder signal is attached into drawing 5.

[0044] In drawing 5, transistors 10, 50, and 240 and a resistance element 30 are the same as that of the reset circuit 200 of drawing 3. That is, the reset circuit 300 of drawing 5 has the composition that P channel mold MOS transistor 350 as

the 4th MOS transistor was added further, to the reset circuit 200 of drawing 3 .

[0045] Supply voltage VDD is given to a source electrode, a drain electrode is connected to a node 20, and the gate electrode is connected to the output node 60 for the transistor 350.

[0046] Thus, actuation of the constituted reset circuit 300 is explained below using a drawing. Drawing 6 is a wave form chart explaining the actuation in a reset circuit 300. In drawing 6 , an axis of ordinate shows an electrical potential difference, an axis of abscissa shows time amount, a continuous line shows the electrical-potential-difference value of the output node 60, and the dotted line shows the electrical-potential-difference value of supply voltage VDD. In addition, in the reset circuit of the gestalt of the 3rd operation, it has set up as $|V_{TP}| < V_{TN}$.

[0047] After powering on, since a transistor 10,240,350 becomes the bottom of the same situation (till time of day t2), even $VDD < |V_{TP}| + V_{TN}$ becomes being the same as that of the case of the gestalt of the 2nd operation.

[0048] According to the electrical-potential-difference value of a node 20, a transistor 50 will be in an ON state at the time of $VDD \geq |V_{TP}| + V_{TN}$. Thereby, the electrical-potential-difference value of the output node 60 serves as reference voltage VSS. The time of day t3 in drawing 6 is the timing of $VDD \geq |V_{TP}| + V_{TN}$.

[0049] According to the electrical-potential-difference value of an output node serving as reference voltage VSS, a transistor 350 will be in an ON state thoroughly. If it is made higher [the resistance of a resistance element 30 / enough] at this time than the on resistance of a transistor 350, the electrical-potential-difference value of a node 20 will be set as supply voltage VDD.

Thereby, both the transistors 10,240 are turned off from an ON state.

[0050] For a certain reason, when the electrical-potential-difference value of supply voltage VDD falls, ** is explained just next.

[0051] Since supply voltage VDD is given to the gate electrode of a transistor 50 and reference voltage VSS is given to the gate electrode of a transistor 350, since change does not take place to ON/OFF state of each transistor, in the relation (just before the time of day t3 in drawing 6) of $VDD \geq (|V_{TP}| \text{ or value$

with higher V_{TN}), the electrical-potential-difference value of an output node is still reference voltage VSS.

[0052] | If it becomes $VDD < |V_{TP}|$ in $|V_{TP}| > V_{TN}$, a transistor 350 will be turned off from an ON state. For this reason, the electrical-potential-difference value of a node 20 will serve as reference voltage VSS, and a transistor 50 will also be in an OFF state according to this. Therefore, the output node 60 serves as an indeterminate (high resistance condition).

[0053] On the other hand, if it becomes $|V_{TP}| \leq VDD < V_{TN}$ in $|V_{TP}| < V_{TN}$, a transistor 50 will be from an ON state in an OFF state. Thereby, a transistor 10,240 will be in an ON state. For this reason, the electrical-potential-difference value of the output node 60 becomes supply voltage VDD from reference voltage VSS.

[0054] Thus, the reset circuit 300 in the gestalt of the 3rd operation can acquire the same effectiveness as the reset circuit 200 of the gestalt of the 2nd operation of a ****.

[0055] Furthermore, the reset circuit 300 of the gestalt of the 3rd operation can make transistors 10 and 240 an OFF state, after the electrical-potential-difference value of the output node 60 serves as reference voltage VSS. Therefore, the current which flows to the transistors 10 and 240 of a reset circuit 300 at the time of a steady state (condition that supply voltage VDD is given by being stabilized in order to stabilize a semiconductor device and to operate) can be intercepted. Therefore, the consumed electric currents in a reset circuit are reducible.

[0056] Moreover, in the gestalt of the 3rd operation, the electrical-potential-difference value of the output node 60 can be followed at VDD until the electrical-potential-difference value of the output node 60 is set to $VDD > |V_{TP}| + V_{TN}$ at the time of lifting of supply voltage VDD, and in descent of supply voltage VDD, $VDD < |V_{TP}| + V_{TN}$ can maintain the electrical-potential-difference value of the output node 60 to reference voltage VSS. For this reason, working [the semiconductor device in a steady state], when the voltage variation by a noise

etc. arises in supply voltage VDD, it can control changing the electrical-potential-difference value of an output node to supply voltage VDD. Therefore, it can reduce resetting accidentally to a semiconductor device.

[0057] As mentioned above, although the reset circuit of this invention was explained to the detail, the reset circuit of this invention is not restricted to an above-mentioned configuration, and various deformation is possible for it.

[0058] For example, it is also possible to make an N channel mold MOS transistor and a P channel mold MOS transistor into reverse, to make a part for the feed zone of reference voltage VSS and supply voltage VDD into reverse, and to apply.

[0059] Moreover, you may enable it to acquire the effectiveness of this invention more certainly by adjusting the threshold voltage of each transistor to the minimum operating voltage of the circuit of the object reset by the reset signal from an output node.

[0060]

[Effect of the Invention] By applying the reset circuit of this invention, the reset circuit which makes reset certainly possible more than the minimum operating voltage of the circuit of the object which should be reset is realizable.

[0061] Moreover, by applying the reset circuit of this invention, complication of the increment in cost or a configuration can be reduced and the above-mentioned object can be realized.

[0062] Moreover, by applying the reset circuit of this invention, the degree of freedom of the layout of the semiconductor device to build in can fall this reset circuit in the above-mentioned object, or it can control enlarging and can realize.

[Translation done.]

* NOTICES *

**JPO and NCIP are not responsible for any
damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram of the reset circuit 100 in the gestalt of operation of the 1st of this invention.

[Drawing 2] It is a wave form chart explaining actuation of the reset circuit 100 of this invention.

[Drawing 3] It is the circuit diagram of the reset circuit 200 in the gestalt of operation of the 2nd of this invention.

[Drawing 4] It is a wave form chart explaining actuation of the reset circuit 200 of this invention.

[Drawing 5] It is the circuit diagram of the reset circuit 300 in the gestalt of operation of the 3rd of this invention.

[Drawing 6] It is a wave form chart explaining actuation of the reset circuit 300 of this invention.

[Description of Notations]

100,200,300 Reset circuit

10,240,350 P channel mold MOS transistor

20 Node

30 40 Resistance element

50 N Channel Mold MOS Transistor

60 Output Node

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

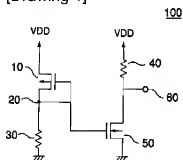
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

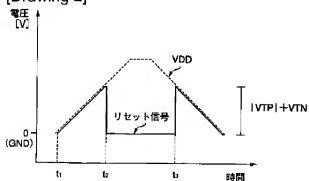
3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

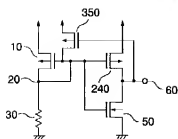


[Drawing 2]



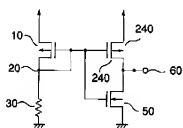
[Drawing 5]

300

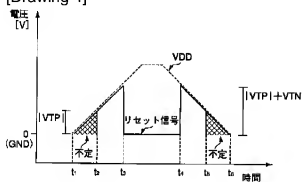


[Drawing 3]

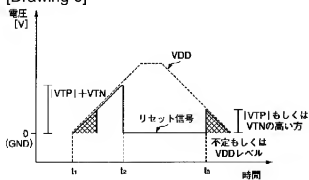
200



[Drawing 4]



[Drawing 6]



[Translation done.]

(51) Int.Cl.⁶

識別記号

F I

H 0 3 K 17/22

H 0 3 K 17/22

E

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平10-17409

(22) 出願日 平成10年(1998) 1月29日

(71) 出願人 591049893

株式会社沖マイクロデザイン宮崎
宮崎県宮崎郡清武町大字木原7083番地

(71) 出願人 000000295

沖電気工業株式会社
東京都港区虎ノ門1丁目7番12号

(72) 発明者 長屋 雅文

宮崎県宮崎市大和町9番2号 株式会社沖
マイクロデザイン宮崎内

(74) 代理人 弁理士 大西 健治

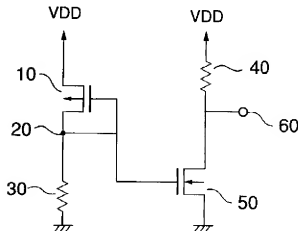
(54) 【発明の名称】 リセット回路及びこれを内蔵した電子装置

(57) 【要約】

【目的】 リセットすべき対象の回路の最低動作電圧以上においてもリセットを確実に可能とするリセット回路を実現する。

【解決手段】 リセット回路100をソース電極には電源電圧VDDが与えられ、ドレイン電極及びゲート電極はノード20に接続されたPチャネル型MOSトランジスタ10と、一方の端子がノード20に接続され、他方の端子が基準電圧源として接地された抵抗素子30と、ドレイン電極が出力ノード60に接続され、ゲート電極がノード20に接続され、ソース電極が接地されたNチャネル型MOSトランジスタ50と、一方の端子には電源電圧VDDが与えられ、他方の端子は出力ノード60に接続された抵抗素子40とから構成する。

100



【特許請求の範囲】

【請求項1】 電源電圧源から供給され、第1の電位レベルまたは第2の電位レベルを有する電源電圧を該第1の電位レベルから該第2の電位レベルへの変化を検出して、出力ノードからリセット信号を出力するリセット回路において、

前記電源電圧源と制御ノードとの間に接続され、該制御ノードの電位レベルにより該電源電圧源と該制御ノードとの電気的な導通状態を制御する第1導電型の第1のMOSトランジスタと、前記制御ノードと基準電圧源との間に接続された第1の抵抗手段と、

前記出力ノードと前記基準電圧源との間に接続され、前記制御ノードの電位レベルにより該出力ノードと該基準電圧源との電気的な導通状態を制御する、第2導電型の第2のMOSトランジスタと、を有することを特徴とするリセット回路。

【請求項2】 請求項1記載のリセット回路において、該リセット回路は、前記電源電圧源と前記出力ノードとの間に接続される第2の抵抗手段を有することを特徴とするリセット回路。

【請求項3】 請求項2記載のリセット回路において、前記第2の抵抗手段は、前記制御ノードの電圧レベルにより前記電源電圧源と前記出力ノードとの電気的な導通状態を制御する、第1導電型の第3のMOSトランジスタであることを特徴とするリセット回路。

【請求項4】 請求項3記載のリセット回路において、該リセット回路は、前記電源電圧源と前記制御ノードとの間に前記第1のMOSトランジスタと並列接続され、前記出力ノードの電位レベルにより前記電源電圧源と前記制御ノードとの電気的な導通状態を制御する第1導電型の第4のMOSトランジスタを有することを特徴とするリセット回路。

【請求項5】 請求項1ないし4のいずれか1つに記載のリセット回路を有する電子装置において、前記リセット回路は電子装置に内蔵され、前記電源電圧源の電圧は、該電子装置から取り外し可能なバッテリー手段から供給されることを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子装置に内蔵され、電源の投入時に電子装置内の内部回路に対するリセット信号を発生するリセット回路及びこれを内蔵した電子装置に関する。

【0002】

【従来の技術】電子装置、例えばパーソナルコンピュータのような車上機器や携帯電話等の携帯機器には、その筐体内に半導体装置からなる回路が内蔵されている。これら電子装置は電源の投入/遮断が頻繁に行われる。この電源投入後、電子装置が不測の動作をしないように、電源投入時には、電子装置に内蔵された半導体装置を初

期状態に戻す必要がある。このため、電子装置内あるいはこの電子装置に内蔵された半導体装置内にはリセット回路が設けられている。

【0003】このリセット回路は、電源の投入による電源電圧の変化を監視し、電源の投入に見なされる電源電圧の変化を検出した時に、リセット信号を一時的に発生する。電子装置に内蔵された半導体装置は、このリセット信号を受信して、半導体装置自身を初期状態（以下、リセット状態とも称する）にする。

【0004】また、携帯機器の場合、この携帯機器本体へ供給する電源電圧は電池や充電式のバッテリーから供給されることとなる。この電池や充電式バッテリーは携帯機器本体に内蔵されるものと、携帯機器本体から取り外し可能なものがある。このような携帯機器のような電子装置においては、電子機器使用中に、バッテリー内の蓄積電荷がなくなったり、電子装置の使用者が誤ってバッテリーを取り外してしまい、電源電圧の低下が生ずることがある。よって、このような電子装置においては、電子装置の動作再開時に、リセット回路は特に有効である。

【0005】

【発明が解決しようとする課題】半導体装置は、リセット回路のリセット信号により、半導体装置自身を確実にリセット状態にしなければならない。このリセット信号は、例えば、接地電位レベルまたは電源電位レベルを有する信号であり、電源投入時に、一時的に電源電位レベルとなることで、半導体装置をリセット状態とするものである。

【0006】ところで、半導体装置を構成する要素にはフリップフロップやラッチ回路等CMOS構成の回路（以下、CMOS回路と称する）が多く存在する。このようなCMOS回路における正常な動作を保証するための最低動作電圧は $|V_{TP}| + |V_{TN}| = V_{DD}$ 程度となる。このため、リセット信号においては電源電位レベルを維持する期間を、CMOS回路が正常に動作する最低動作電圧以上まで保証しなければならない。しかしながら、従来のリセット回路では、最低動作電圧以上まで、リセット信号が電源電位レベルである状態を維持できる構成ではないため、半導体装置を確実にリセットすることができないという問題点があった。

【0007】また、リセット回路は、本来、電源投入時、あるいは、電源の電位レベルが急激に低下した後、再び電源電位レベルへ戻る時のみに用いられるものである。このため、最低動作電圧以上まで、リセット信号が電源電位レベルである状態を維持できる構成とすることを実現するために、リセット回路としての構成は少ない素子数で構成して、コスト低減が期待できるものと、さらに、リセット回路が半導体装置に内蔵されることを考慮すれば、半導体装置そのものの小型化やリセット回路のレイアウトの自由度の向上が望めるものの方が好ましい。

【0008】さらに、リセット回路の構成要素としては、半導体装置の製造工程中において、他の回路と同じ技術（例えば、CMOS製造技術）を用いて同時に作られることが望ましい。

【0009】本発明は上記の課題を解決するため、リセットすべき対象の回路の最低動作電圧以上においてもリセットを確実に可能とするリセット回路の実現を目的とする。

【0010】また、本発明は、上記目的をリセット回路を、コスト増加や構成の複雑化を低減して実現することを目的とする。

【0011】また、本発明は、上記目的のリセット回路を、このリセット回路を内蔵する半導体装置のレイアウトの自由度を低下したり、大型化することを抑制して実現することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明のリセット回路は、電源電圧源から供給され、第1の電位レベルまたは第2の電位レベルを有する電源電圧を第1の電位レベルから第2の電位レベルへの変化を検出して、出力ノードからリセット信号を出力するリセット回路において、電源電圧源と制御ノードとの間に接続され、制御ノードの電位レベルにより電源電圧源と制御ノードとの電気的な導通状態を制御する第1導電型の第1のMOSTランジスタと、制御ノードと基準電圧源との間に接続された第1の抵抗手段と、出力ノードと基準電圧源との間に接続され、制御ノードの電位レベルにより出力ノードと基準電圧源との電気的な導通状態を制御する、第2導電型の第2のMOSTランジスタと、を有するものである。

【0013】また、本発明のリセット回路は、電源電圧源と前記出力ノードとの間に接続される第2の抵抗手段を有するものであってもよい。

【0014】また、本発明のリセット回路は、第2の抵抗手段は、制御ノードの電圧レベルにより電源電圧源と出力ノードとの電気的な導通状態を制御する、第1導電型の第3のMOSTランジスタであってもよい。

【0015】また、本発明のリセット回路は、電源電圧源と制御ノードとの間に第1のMOSTランジスタと並列接続され、出力ノードの電位レベルにより電源電圧源と制御ノードとの電気的な導通状態を制御する第1導電型の第4のMOSTランジスタを有するものであってもよい。

【0016】また、本発明のリセット回路を有する電子装置において、前記リセット回路は電子装置に内蔵され、前記電源電圧源の電圧は、該電子装置から取り外し可能なバッテリー手段から供給されるものであってもよい。

【0017】

【発明の実施の形態】本発明のリセット回路についてを

図面を用いて以下に詳細に説明する。図1は本発明の第1の実施の形態におけるリセット回路100の回路図である。

【0018】図1において、リセット回路100は2つのトランジスタ10、50と、2つの抵抗素子30、40から構成されている。

【0019】第1のMOSTランジスタとしてのトランジスタ10はPチャネル型MOSTランジスタであり、ソース電極には電源電圧源から電源電圧VDDが与えられ、ドレイン電極及びゲート電極は制御ノードであるノード20に接続されている。第1の抵抗手段である抵抗素子30は一方の端子がノード20に接続され、他方の端子が基準電圧源として接地されていることにより、基準電圧源から接地電圧V_{SS}が与えられている。なお、トランジスタ10のスレッシュOLD電圧をV_{TH1}とする。

【0020】第2のMOSTランジスタとしてのトランジスタ50はNチャネル型MOSTランジスタであり、ドレイン電極が、出力ノード60に接続され、ゲート電極がノード20に接続され、ソース電極が接地されている。第2の抵抗手段である抵抗素子40は一方の端子には電源電圧VDDが与えられ、他方の端子は、出力ノード60に接続されている。この出力ノードに生ずる電圧値の変化を、リセット回路のリセット信号として利用する。なお、トランジスタ50のスレッシュOLD電圧をV_{TH2}とする。

【0021】なお、リセット回路100における電源電圧VDDは、電源電圧源として、例えば、電子装置の外側から供給されるものであったり、電子装置内に内蔵された電池等のバッテリーから供給されるものであったり、その供給源は様々のものがある。特に、バッテリーとしては充電式のものであり、電子装置から取り外し可能なものであってもよい。

【0022】また、抵抗素子30をどのように構成するにしても、抵抗素子30の抵抗値は、トランジスタ10に対するオン抵抗に比べて充分高くするように設定しておく。

【0023】このように、構成されたリセット回路100の動作について、図面を用いて以下に説明する。図2は、リセット回路100における動作を説明する波形図である。図2において、縦軸は電圧、横軸は時間を示し、実線はリセット信号が出力される出力ノード60の電圧値を示し、点線は電源電圧VDDの電圧値を示している。なお、以下の説明においては、|V_{TP1}| > V_{TH1}として説明する。また、電源投入前は、トランジスタ10及び50はいずれもオフ状態（ソースドレイン間が電気的に非導通状態）、電源電圧VDD、ノード20、出力ノード60の電圧値はいずれも基準電圧V_{SS}であるものとする。

【0024】図2において、時刻t₁にて電源を投入することにより、電源電圧VDDは、電源が有する時定数

に基づいて、電圧値の上昇が開始される。電源投入直後で、電源電圧VDDが $VDD < |VTP|$ の時、トランジスタ10はオフ状態である。このため、ノード20は抵抗素子30を介して接地された状態のため、接地電圧VSSに設定されたままである。よって、ノード20の電圧値によって動作制御されるトランジスタ50もオフ状態となる。従って、出力ノード60の電圧値は、抵抗素子40を介して電源電圧VDDにともなって上昇する。

【0025】この後、電源電圧VDDが $VDD \geq |VTP|$ になると、トランジスタ10がオン状態（ソース・ドレイン間が電氣的に導通状態）となる。このため、ノード20の電圧値は $VDD - |VTP|$ となる。ノード20の電圧値は電源電圧の上昇にともなって増加できるのは、抵抗素子30の抵抗値を充分高くしているの、ノード20の電圧値が維持されるためである。このノード20の電圧値はトランジスタ50のゲート電極にも与えられるが、 $VDD - |VTP| \leq VTN$ の間はトランジスタ50はオフ状態を保つこととなる。従って、出力ノード60は電源電圧VDDにともなった電圧値の上昇を続ける。

【0026】 $VDD > |VTP| + VTN$ になると、ノード20の電圧値は $VDD - |VTP| > VTN$ となるので、トランジスタ50はオン状態となる。このため、出力ノード60はトランジスタ50を介して接地されることとなる。従って、出力ノード60の電圧値VSSとなる。図2において、時刻 t_2 は $VDD > |VTP| + VTN$ 直後のタイミングを示す。

【0027】その後、電源電圧VDDは、所定の電圧値まで上昇するが、リセット回路100のトランジスタ10及び50はオン状態を保つので、出力ノード60を基準電圧VSSに保つようになっている。

【0028】なお、電源電圧VDDが低下した場合には、リセット回路100は上記とは逆の動作となるので、 $VDD \leq |VTP| + VTN$ になると、出力ノード60は基準電圧VSSから電源電圧VDDになる。図2において、時刻 t_3 は $VDD < |VTP| + VTN$ 直後のタイミングである。

【0029】このように、ノード20をトランジスタ50の動作を制御する制御ノードとして、リセット信号として出力される出力ノード60の電源電圧VDDの状態に応じて、電子装置に内蔵された半導体装置をリセットする場合、リセット信号において電源電位レベルを維持する期間を、CMOS回路が正常に動作する最低動作電圧まで保証している。よって、リセット信号を受ける半導体装置にCMOS回路があったとしても、確実にリセットすることができる。

【0030】また、リセット回路100は、少ない構成要素にて構成されているので、コスト低減や、半導体装置そのものの小型化やリセット回路のレイアウトの自由

度の向上が望める。

【0031】なお、上記では、 $|VTP| \geq VTN$ として説明したが、 $|VTP| < VTN$ の場合は次の点で多少動作が異なる。

【0032】つまり、 $VDD < VTP$ においては上述の説明と同様である。この後、 $|VTP| \leq VDD < VTN$ 及び $VTN \leq VDD \leq |VTP| + VTN$ においては、トランジスタ10はオン状態となり、ノード20の電圧値は上昇する。しかしながら、ノード20の電圧値は $VDD - |VTP| (< VTN)$ であるから、トランジスタ50はオフ状態を保つ。従って、出力ノード60の電圧値は電源電圧VDDとなる。この後、 $VDD > |VTP| + VTN$ からは上述の説明と同様である。

【0033】また、電源投入した際、例えば、携帯用の電子装置に本発明のリセット回路100を適用しておけば、取り外し可能なバッテリーを誤って外れてしまったり、バッテリーに充電された蓄積電荷がなくなったりすることで、電源電圧VDDが不測に低下した場合に、電子装置に内蔵された半導体装置を確実にリセットすることができ、高速に電子装置の動作を復旧することが可能となる。

【0034】次に、本発明の第2の実施の形態におけるリセット回路についてを、図面を用いて以下に説明する。図3は本発明の第2の実施の形態におけるリセット回路200の回路図である。なお、図3において、図1の第1の実施の形態のリセット回路100と同じ構成要素については同じ付号を付けている。

【0035】図3において、リセット回路200のトランジスタ10、50、抵抗素子30については図1のリセット回路100と同様である。図3のリセット回路200では、図1のリセット回路100の抵抗素子の代わりに第3のMOSトランジスタとしてのPチャネル型MOSトランジスタ240を設けている。

【0036】トランジスタ240は、ソース電極には電源電圧VDDが与えられ、ドレイン電極は出力ノード60に接続され、ゲート電極はノード20に接続されている。このため、トランジスタ10と240とでカレントミラー回路を構成することとなる。

【0037】このように、構成されたリセット回路200の動作について、図面を用いて以下に説明する。図4は、リセット回路200における動作を説明する波形図である。図4において、縦軸は電圧、横軸は時間を示し、実線は出力ノード60の電圧値を示し、点線は電源電圧VDDの電圧値を示している。なお、第2の実施の形態のリセット回路においては、 $|VTP| < VTN$ として設定している。

【0038】図4において、時刻 t_1 にて電源を投入することにより、電源電圧VDDは、電源が有する時定数に基づいて、電圧値の上昇が開始される。電源投入直後で、電源電圧VDDが $VDD < |VTP|$ の時、トラン

ジスタ10はオフ状態である。このため、ノード20は抵抗素子30を介して基準電圧VSSに設定される。従って、トランジスタ50はオフ状態である。また、トランジスタ240は、トランジスタ10と同様な条件下のため、オフ状態である。従って、出力ノード60の電圧値は不定(高抵抗状態)となる。

【0039】この後、 $|VTP| \leq VDD < VTN$ の時には、トランジスタ10がオン状態となる。よって、ノード20の電圧値は $VDD - |VTP|$ となる。この時、トランジスタ240もオン状態となる。トランジスタ50はゲートに与えられている電圧値が $VDD - |VTP| (< VTN)$ なので、オフ状態である。従って、出力ノード60の電圧値はVDDとなる(時刻も2時)。なお、トランジスタ10と240とでカレントミラー回路を構成し、トランジスタ10とトランジスタ240のトランジスタ特性が同じであれば、トランジスタ240にはトランジスタ10と同量の電流が流れる。よって、トランジスタ240は、リセット回路100の抵抗素子40と同様な動作を行うことができる。

【0040】この後、 $VDD \geq |VTP| + VTN$ の時には、ノード20の電圧値が $VDD - |VTP| (\geq VTN)$ となり、トランジスタ50がオン状態となる。このため、出力ノード60は、トランジスタ50を介して接地される。従って、出力ノード60の電圧値は基準電圧VSSとなる。時刻も3は $VDD \geq |VTP| + VTN$ 直後のタイミングである。

【0041】なお、電源電圧VDDが低下した場合には、リセット回路200は上記とは逆の動作となるので、 $VDD < |VTP| + VTN$ になると、出力ノード60は基準電圧VSSから電源電圧VDDになる。図4において、時刻も4は $VDD < |VTP| + VTN$ 直後のタイミングである。

【0042】上述のように、第2の実施の形態におけるリセット回路200は、第1の実施の形態と同様な効果を得ることができる。また、リセット回路200においては、トランジスタ10とトランジスタ240とでカレントミラー回路を構成しているため、トランジスタ10に対するトランジスタ240の相互コンダクタンス g_m を調整することにより、トランジスタ10、トランジスタ50に定常的に流れる電流を小さくすることもでき、消費電流を低減することができる。さらには、比較的高い抵抗値が必要な抵抗素子40の代わりに、トランジスタ240を用いているので、リセット回路の回路面積が少なくて済む。

【0043】次に、本発明の第3の実施の形態におけるリセット回路について、図面を用いて以下に説明する。図5は、第3の実施の形態におけるリセット回路300の回路図である。なお、図5中において、図2の第2の実施の形態のリセット回路200と同じ構成要素については同じ付号を付けている。

【0044】図5において、トランジスタ10、50、240、抵抗素子30は図3のリセット回路200と同様である。つまり、図5のリセット回路300は、図3のリセット回路200に対して、さらに第4のMOSトランジスタとしてのPチャネル型MOSトランジスタ350が追加された構成となっている。

【0045】トランジスタ350は、ソース電極には電源電圧VDDが与えられ、ドレイン電極はノード20に接続され、ゲート電極は出力ノード60に接続されている。

【0046】このように、構成されたリセット回路300の動作について、図面を用いて以下に説明する。図6は、リセット回路300における動作を説明する波形図である。図6において、縦軸は電圧、横軸は時間を示し、実線は出力ノード60の電圧値を示し、点線は電源電圧VDDの電圧値を示している。なお、第3の実施の形態のリセット回路においては、 $|VTP| < VTN$ として設定している。

【0047】電源投入後、 $VDD < |VTP| + VTN$ まで(時刻も2まで)は、トランジスタ10、240、350は同じ状況下になるため、第2の実施の形態の場合と同様になる。

【0048】 $VDD \geq |VTP| + VTN$ の時、ノード20の電圧値に従って、トランジスタ50がオン状態となる。これにより、出力ノード60の電圧値が基準電圧VSSとなる。図6における時刻も3は $VDD \geq |VTP| + VTN$ のタイミングである。

【0049】出力ノードの電圧値が基準電圧VSSとなることに応じて、トランジスタ350は完全にオン状態となる。この時、抵抗素子30の抵抗値がトランジスタ350のオン抵抗より充分高いようにしておくと、ノード20の電圧値が電源電圧VDDに設定される。これにより、トランジスタ10、240はともにオン状態からオフ状態になる。

【0050】この後に何らかの理由により、電源電圧VDDの電圧値が低下した場合についてを説明する。

【0051】トランジスタ50のゲート電極には電源電圧VDDが与えられ、トランジスタ350のゲート電極には基準電圧VSSが与えられているので、 $VDD \geq (|VTP| + VTN)$ またはVTNの高い方の値(図6における時刻も3直前)においては、各トランジスタのオン/オフ状態に変化は起こらないため、出力ノードの電圧値は基準電圧VSSのままである。

【0052】 $|VTP| \geq VTN$ の場合、 $VDD < |VTP|$ になると、トランジスタ350はオン状態からオフ状態になる。このため、ノード20の電圧値は基準電圧VSSとなり、これに応じてトランジスタ50もオフ状態となる。従って、出力ノード60は不定(高抵抗状態)となる。

【0053】一方、 $|VTP| < VTN$ の場合、 $|VTP|$

$P \mid \leq VDD < VTN$ になると、トランジスタ50はオン状態からオフ状態となる。これにより、トランジスタ10、240はオン状態となる。このため、出力ノード60の電圧値は基準電圧VSSから電源電圧VDDになる。

【0054】このように、第3の実施の形態におけるリセット回路300は、上述の第2の実施の形態のリセット回路200と同様な効果を得ることができる。

【0055】さらに、第3の実施の形態のリセット回路300は、出力ノード60の電圧値が基準電圧VSSとなった後に、トランジスタ10及び240をオフ状態とすることができる。よって、定常状態（半導体装置が安定して動作するために、電源電圧VDDが安定して与えられている状態）の時に、リセット回路300のトランジスタ10及び240に流れる電流を遮断することができる。よって、リセット回路における消費電流を削減することができる。

【0056】また、第3の実施の形態においては、出力ノード60の電圧値を、電源電圧VDDの上昇時においては、 $VDD \geq |VTP| + VTN$ になるまでは出力ノード60の電圧値をVDDに追従するようにでき、電源電圧VDDの下降においては、 $VDD < |VTP| + VTN$ までは、出力ノード60の電圧値を基準電圧VSSに維持することができる。このため、定常状態における半導体装置の動作中に、電源電圧VDDにノイズ等による電圧変動が生じた時においても、出力ノードの電圧値が電源電圧VDDに変動することを抑制することができる。よって、半導体装置に誤ってリセットを行うことを低減することができる。

【0057】以上、本発明のリセット回路について、詳細に説明したが、本発明のリセット回路は上述の構成に限られるものではなく、様々な変形が可能である。

【0058】例えば、Nチャネル型MOSTランジスタとPチャネル型MOSTランジスタとを逆にして、基準電圧VSSと電源電圧VDDの供給部分を逆にして適用することも可能である。

【0059】また、出力ノードからのリセット信号によ

りリセットされる対象の回路の最低動作電圧に対して、各トランジスタのスレッシュド電圧を調整することにより、本発明の効果をより確実に得られるようにしてもよい。

【0060】

【発明の効果】本発明のリセット回路を適用することにより、リセットすべき対象の回路の最低動作電圧以上においてもリセットを確実に可能とするリセット回路を実現することができる。

【0061】また、本発明のリセット回路を適用することにより、上記目的を、コスト増加や構成の複雑化を低減して実現することができる。

【0062】また、本発明のリセット回路を適用することにより、上記目的を、このリセット回路を内蔵する半導体装置のレイアウトの自由度が低下したり、大型化することを抑制して実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるリセット回路100の回路図である。

【図2】本発明のリセット回路100の動作を説明する波形図である。

【図3】本発明の第2の実施の形態におけるリセット回路200の回路図である。

【図4】本発明のリセット回路200の動作を説明する波形図である。

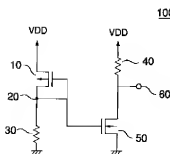
【図5】本発明の第3の実施の形態におけるリセット回路300の回路図である。

【図6】本発明のリセット回路300の動作を説明する波形図である。

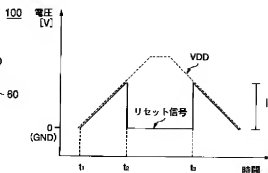
【符号の説明】

100、200、300 リセット回路
10、240、350 Pチャネル型MOSTランジスタ
20 ノード
30、40 抵抗素子
50 Nチャネル型MOSTランジスタ
60 出力ノード

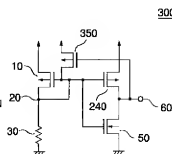
【図1】



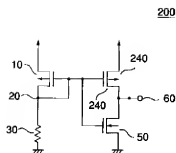
【図2】



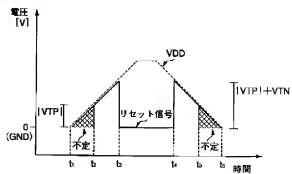
【図5】



【図3】



【図4】



【図6】

